

УДК 621.396.6

**АДАПТИВНИЙ МЕТОД ФРЕЙМОВОЇ СИНХРОНІЗАЦІЇ ДЛЯ СИСТЕМ СТАНДАРТУ DVB-S2 НА FPGA<sup>1</sup>****Круглик О. С.<sup>1</sup>, інженер, Павленко М. П.<sup>2</sup>, аспірант**<sup>1</sup>ТОВ «Дельта СПЕ», м. Київ, Україна<sup>2</sup>«Київський політехнічний інститут», м. Київ, Україна*pavlenko.nikolay2000@gmail.com***ADAPTIVE SYNCHRONIZATION METHOD OF FRAMING SYSTEMS FOR DVB-S2 STANDARD ON FPGA****Kruhlyk O. S.<sup>1</sup>, engineer, Pavlenko N.P.<sup>2</sup>, Postgraduate Student**<sup>1</sup>PLC «Delta SPE», Kyiv, Ukraine,<sup>2</sup>National Technical University of Ukraine «Kyiv Polytechnic Institute», Kyiv, Ukraine**Вступ**

З розвитком цифрових технологій все більше уваги приділяється побудові радіоприймальних трактів за технологією SDR (Software Defined Radio), яка заснована на обробці оцифрованого в реальному часі радіосигналу виключно програмними засобами. При цьому велика роль відводиться побудові систем прийому на одній інтегральній мікросхемі (System-on-a-Chip, SoC). Дана технологія дозволяє збільшити продуктивність радіосистеми, зменшити її габарити і зробити її універсальною, оскільки при переході приймача на інший стандарт прийому сигналу необхідно змінити лише програмну конфігурацію системи. З часом SDR стане передовою технологією для побудови радіоприймачів. Основною елементною базою для таких систем є програмовані логічні інтегральні схеми (Field-Programmable Gate Array FPGA) [1]. Головною перевагою використання FPGA є висока швидкодія реалізованих алгоритмів, яка забезпечується завдяки паралельному їх виконанню. Виробники FPGA пропонують широкий спектр ІР (Intellectual Property) ядер, які реалізують достатню кількість алгоритмів обробки радіосигналу, тим самим значно пришвидшуючи час розробки цифрової системи.

Невід'ємними частинами радіоприймачів сучасних стандартів зв'язку є системи синхронізації (фреймова, символна, частотна, фазова). У даній статті будуть проаналізовані актуальні на сьогоднішній день алгоритми фреймової синхронізації з точки зору їх ефективності та практичної реалізації на FPGA.

<sup>1</sup> Електронний варіант статті: <http://radar.kpi.ua/radiotechnique/article/view/1004>

### Постановка завдання

У літературі алгоритмам фреймової синхронізації приділяється значна увага. Найбільш поширеними є методи, що засновані на кореляції прийнятих символів з унікальним словом. Реалізація даних методів на FPGA не є складною задачею, але головним недоліком такого підходу є необхідність попереднього встановлення носійної фазової та частотної синхронізації. В реальних умовах ця вимога часто не може бути виконана. Тому все більш широкого застосування набувають алгоритми, що засновані на методі різницевої (диференціальної) кореляції. На відміну від звичайної кореляції з відомою послідовністю різницеве є нечутливе до фазових та частотних спотворень в прийнятому сигналі, які мають місце на початковому етапі роботи системи. Подальшим розвитком методів диференціальної кореляції є алгоритми з постдетекторним накопиченням Differential Post Detection Integration (DPDI) [2], [3]. Недоліком вказаних алгоритмів є чутливість до зміни рівня вхідного сигналу. Тому розробка алгоритмів і методів адаптивної обробки сигналів для реалізації на FPGA, які інваріантні до зміни рівня вхідного сигналу, є актуальним завданням сучасної теорії та техніки зв'язку. У даній статті запропоновано алгоритм з адаптивним порогом прийняття рішення, який розроблений під цифровий приймач стандарту DVB-S2 [4]. Наводяться порівняльні характеристики ефективності запропонованого алгоритму з існуючими методами фреймової синхронізації для вказаного стандарту супутникового зв'язку. Показані практичні шляхи реалізації запропонованого алгоритму фреймової синхронізації на FPGA.

### Алгоритми фреймової синхронізації стандарту DVB-S2

Стандарт DVB-S2 передбачає пакетну передачу даних. Структура фрейму фізичного рівня даного стандарту зображена на рис. 1 [4].

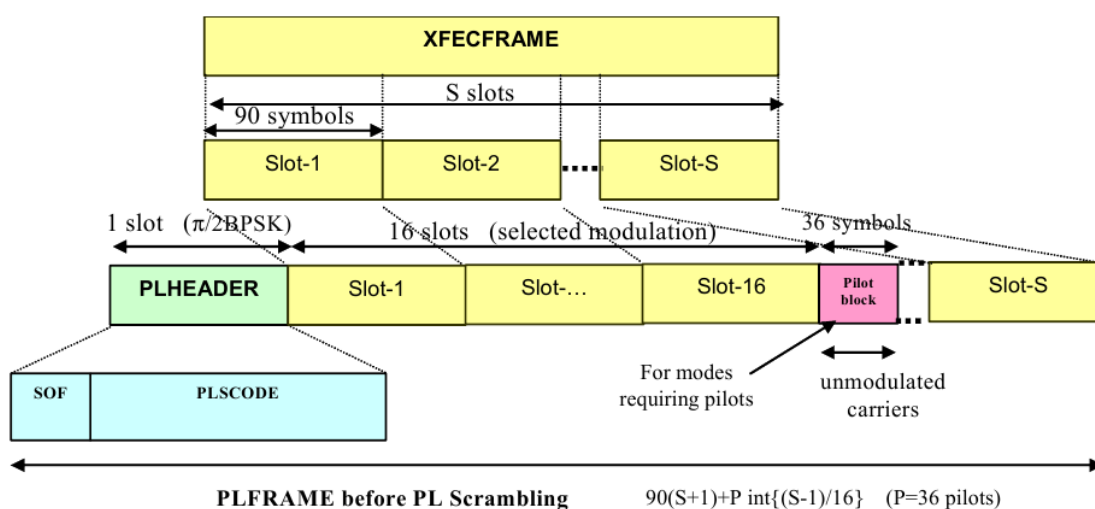


Рис. 1. Структура фрейму фізичного рівня за стандартом DVB-S2

Фрейм фізичного рівня складається із заголовку пакета (PLHEADER) і власне фрейму корисних даних (XFECFRAME). Заголовок містить поле SOF (Start Of Frame) і поле PLSCODE (Physical Layer Signaling), до яких застосовані скремблювання і  $\pi/2$  BPSK модуляція. SOF – це унікальне слово довжиною 26 символів, яке позначає початок фрейму. Поле PLSCODE кодується кодом Ріда Маллера першого порядку і містить службову інформацію про фрейм: довжину пакета, тип модуляції і швидкість кодування.

Розглянемо деякі методи, що засновані на техніці різницевої кореляції з подальшим накопиченням (DPDI). Вказані алгоритми працюють з полем SOF заголовка пакета та визначаються наступними математичними виразами:

$$[C1] \quad z_k = \sum_{n=1}^{N-1} \left\{ |d_k(n)|^2 - \sum_{i=1}^{N-1} |r_{i+k}|^2 \cdot |r_{i+k-n}|^2 \right\} \quad (1)$$

$$[L2] \quad z_k = \left| \sum_{n=1}^M d_k(n) \right| - \sqrt{\sum_{n=1}^M \varepsilon_k(n)}, \quad M \cdot f_0 \cdot T_s < 0.5 \quad (2)$$

$$[L1] \quad z_k = \sum_{n=1}^{N-1} \left\{ |d_k(n)| - \sqrt{\varepsilon_k(n)} \right\} \quad (3)$$

де  $z_k$  – змінна рішення;  $r_i$  – відлік вхідного сигналу;  $s_i$  – відлік SOF послідовності (шаблону);  $d_k(n)$  –  $n$ -проміжкова різницева кореляція з SOF послідовністю (4);  $\varepsilon_k(n)$  – центруючий член (5);  $N = 26$  – довжина SOF послідовності;  $n$  – довжина проміжків кореляції;  $M$  – задана кількість накопичень різницевої кореляції для методу [L2],  $f_0$  – величина частотного зміщення;  $T_s$  – тривалість символу.

$$d_k(n) = \sum_{i=n}^{N-1} r_{i+k}^* \cdot s_{i+1}^{(s)} \cdot r_{i+k-n} \cdot s_{i-n+1}^{(s)*} \quad (4)$$

$$\varepsilon_k(n) = \sum_{i=n}^{N-1} |r_{i+k}|^2 \cdot |r_{i+k-n}|^2 \quad (5)$$

У вказівках ETSI по проектуванню [4] представлено метод [P1], в якому різницева кореляція застосовується не тільки до SOF послідовності, але і до послідовності PLSCODE. Це обґрунтовано тим, що поле PLSCODE змінюється залежно від типу пакету і модуляційних характеристик, але попарні різниці його відліків при цьому можуть змінитися тільки за знаком. Відповідна математична модель алгоритму має наступний вигляд:

$$z_k = \max(|d_{sof_k} + d_{plsc_k}|, |d_{sof_k} - d_{plsc_k}|) \quad (6)$$

$$d_{sof_k} = \sum_{i=1}^{N_{SOF}} r_{i+k}^* \cdot s_{i+1}^{(s)} \cdot r_{i+k-1} \cdot s_i^{(s)*} \quad (7)$$

$$dplsc_k = \sum_{i=1}^{N_{PLS}/2} r_{2 \cdot i + k + N_{SOF}}^* \cdot s_{2 \cdot i}^{(p)} \cdot r_{2 \cdot i - 1 + k + N_{SOF}} \cdot s_{2 \cdot i - 1}^{(p)*}, \quad (8)$$

де  $dsof_k$  – різницева кореляція з полем SOF;  $dplsc_k$  – різницева кореляція з полем PLSCODE,  $s^{(p)}$  – відлік поля PLSCODE. Потрібно відзначити, що в методі [P1] розраховується різницева кореляція без накопичення.

Критерієм ефективності методів фреймової синхронізації прийнято вважати залежність ймовірності пропуску пакету (Miss Detection Probability (MDP)) від відношення сигнал/шум на символ. Поріг прийняття рішення для кожного з методів знаходився за класичним критерієм Неймана-Пірсона, для фіксованої ймовірності хибної тривоги (Constant False Alarm Rate (CFAR)) на рівні  $10^{-3}$ . У даній роботі проведено експериментальний розрахунок характеристик ймовірності пропуску (MDP) корисного сигналу в залежності від відношення сигнал/шум на символ для всіх вище описаних методів фреймової синхронізації. На рис. 2а зображені вказані характеристики для випадків відсутності частотного зміщення, а на рис. 2б – з частотним зміщенням прийнятих символів, що дорівнює  $0.2Fs$  ( $Fs$  – символна швидкість).

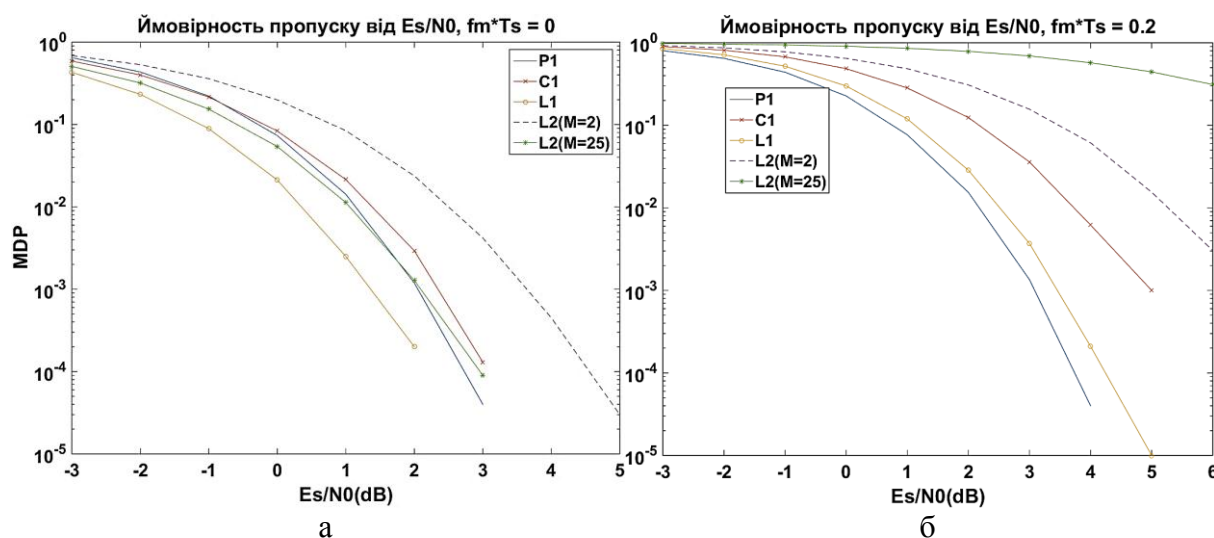


Рис. 2. Характеристики MDP для [P1], [C1], [L1], [L2(M=2)], [L2(M=25)] алгоритмів  
а) без частотного зміщення, б) з частотним зміщенням  $0.2Fs$

З отриманих результатів можна зробити висновок, що методи диференціальної кореляції з накопиченням досить ефективно ведуть себе при прийомі сигналу без частотного зміщення. Ефективнішим серед DPDI алгоритмів для даного типу сигналу виявився метод [L1]. При частотному зміщенні рівному  $0.2Fs$  DPDI алгоритми погіршуються приблизно однаково, при MDP рівному  $10^{-2}$  програш становить 2.1 дБ. Значно стійкішим до частотних спотворень виявився алгоритм [P1], погіршення ефективності методу при MDP рівному  $10^{-2}$  і  $0.2Fs$  становить близько 1.0 дБ. Даний результат досягається за рахунок збільшеного інтервалу кореляції, оскільки

ки при розрахунку різницевої кореляції для [P1] беруть участь SOF і PLSCODE послідовності, а для DPDI методів лише SOF.

### Алгоритм фреймової синхронізації з адаптивним порогом

Недоліком вище розглянутих методів є те, що змінна рішення  $z_k$  даних методів чутлива до варіації рівня вхідного сигналу. У зв'язку з вище викладеними проблемами постало завдання щодо розробки нового алгоритму, який буде адаптивно змінювати поріг рішення в залежності від рівня вхідного сигналу. У даній роботі для вирішення цього завдання був запропонований метод [P2] (9), який є модифікацією алгоритму [P1].

$$z_k = \max(|dsof_k + dplsc_k|, |dsof_k - dplsc_k|) \geq \alpha \cdot e_{N\_k} \quad (9)$$

$$e_{N\_k} = \sum_{i=1}^{N_{SOF}} |r_{i+k}^*| \cdot |r_{i+k-1}| + \sum_{i=1}^{N_{PLS}/2} |r_{2 \cdot i + k + N_{SOF}}^*| \cdot |r_{2 \cdot i - 1 + k + N_{SOF}}| \quad (10)$$

де  $\alpha$  – коефіцієнт адаптивного порогу, який визначається експериментально при заданій ймовірності хибної тривоги (CFAR).  $e_{N\_k}$  – накопичення добутоків модулів відліків, які задіяні в різницевій кореляції для обчислення  $z_k$ .

Вираз у правій частині нерівності (9) являється адаптивним порогом, величина якого змінюється в залежності від рівня вхідного сигналу. Характеристики MDP для алгоритмів [P1] і [P2], які зображені на рис. 3, свідчать про те, що запропонований адаптивний метод [P2] перевершує по ефективності первинний існуючий метод [P1] при ймовірності пропуску  $10^{-2}$  приблизно на 1 дБ. Також слід зазначити, що при цьому ймовірність хибної тривоги (FAR) від відношення сигнал/шум на символ для [P2] виявилася меншою ніж для [P1] (рис. 4).

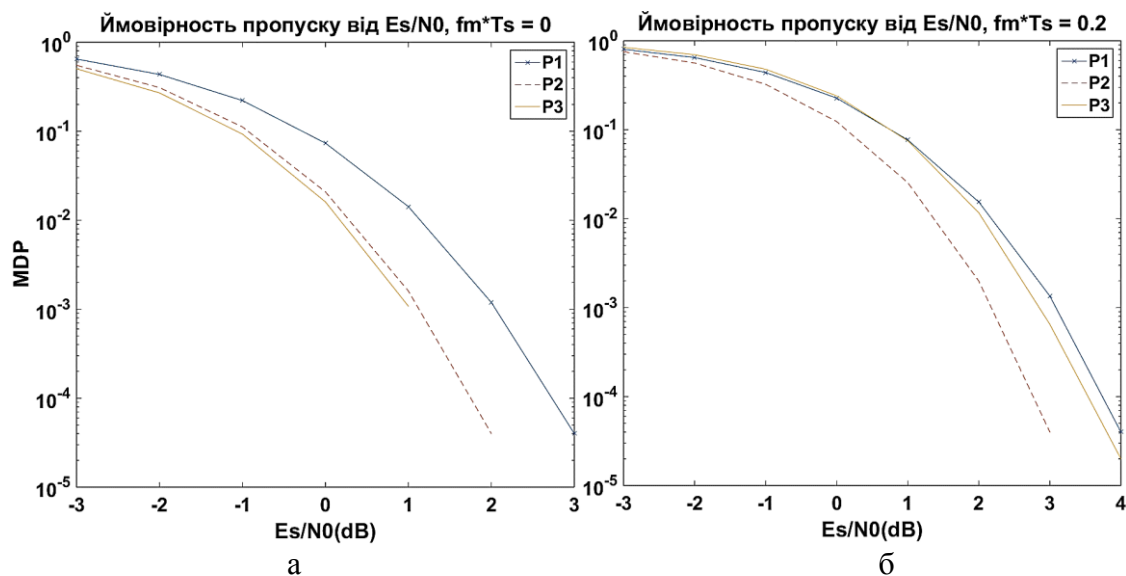


Рис. 3. Характеристики MDP для [P1], [P2] і [P3] методів а) без частотного зміщення, б) з частотним зміщенням  $0.2F_s$

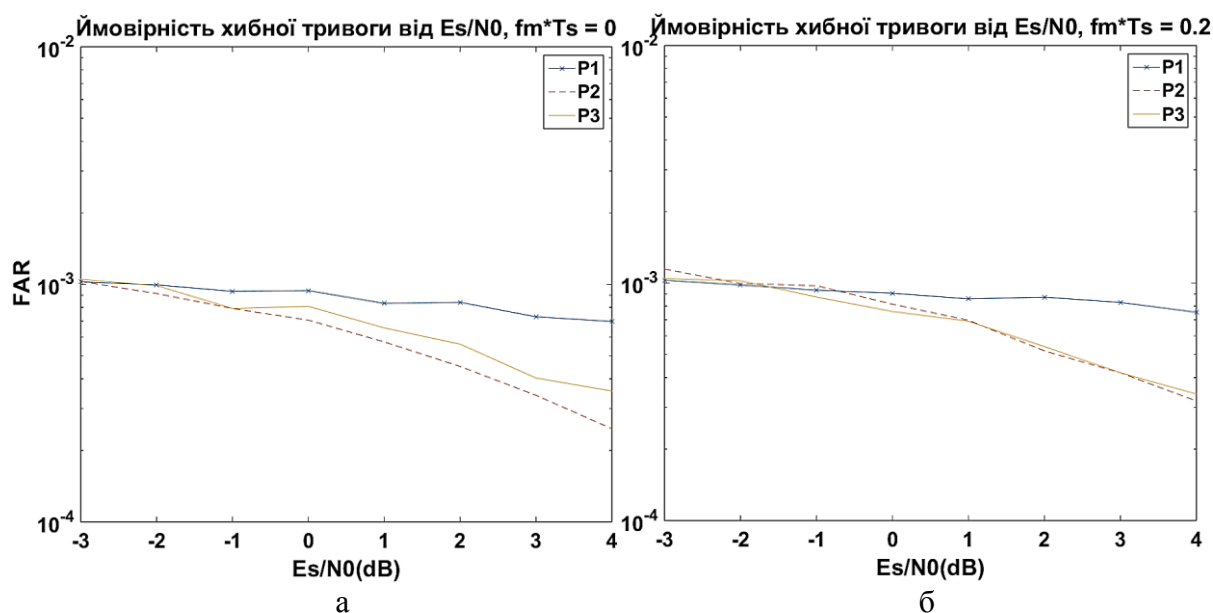


Рис.4. Залежності ймовірності хибної тривоги від відношення сигнал/шум на символ для алгоритмів [P1], [P2] і [P3] а) без частотного зміщення, б) з частотним зміщенням  $0.2F_s$

### Адаптація алгоритму [P2] під реалізацію на FPGA

Тепер розглянемо можливості апаратної реалізації алгоритму [P2]. Вирази для розрахунку змінної рішення  $z_k$  і центруючого члену  $e_{N,k}$  даного методу містять операцію знаходження модуля комплексного числа, що в свою чергу потребує визначення квадратного кореня. Дана математична операція в цифрових пристроях виконується за декілька ітерацій, кількість яких залежить від розрядності числа, з якого добувається квадратний корінь [5]. Даний підхід є «вузьким місцем» при реалізації на FPGA, оскільки значно зменшує швидкість алгоритму в цілому. У цьому випадку вдаються до високошвидкісних методів апроксимації добування квадратного кореня [6]. Враховуючи особливості апаратної платформи FPGA, привабливим з точки зору реалізації є метод  $\alpha \cdot \text{Max} + \beta \cdot \text{Min}$ .

Суть цього методу полягає в наступному, якщо модуль комплексного числа записати як  $|V| = \sqrt{I^2 + Q^2}$ , де  $I$  і  $Q$  – реальна і уявна його складові, то згідно з даним методом  $|V|$  можна обчислити як  $|V| = \alpha \cdot \text{Max} + \beta \cdot \text{Min}$ , де  $\text{Max}$  і  $\text{Min}$  – максимальне і мінімальне абсолютні значення серед  $I$  і  $Q$  відповідно. Існує декілька різних пар значень констант  $\alpha$  і  $\beta$ , які дають різну точність наближення. У даній роботі ці коефіцієнти приймають значення, які рівні цілим негативним степеням двійки ( $\alpha = 1$ ,  $\beta = 0.375$ ), що дозволяє зробити реалізацію помножувача на зсувному регістрі.

Замінюючи у виразах для методу [P2] (9), (10) операцію знаходження модуля комплексного числа апроксимуючим алгоритмом, отримуємо алгоритм [P3] для фреймової синхронізації. Характеристика MDP для методу [P3] без частотного зміщення (рис. 3а) проходить нижче ніж для інших ме-



тодів. Відсутність частотного зміщення сигналу в приймачі DVB-S2 відповідає режиму супроводу системи фреймової синхронізації, система переходить в даний режим після встановлення частотної синхронізації [2]. У даному режимі алгоритм є найбільш ефективним, при цьому ймовірності хибної тривоги від відношення сигнал/шум на символ для методів [P2] і [P3] майже однакові. При наявності частотного зміщення, що відповідає режиму пошуку для системи фреймової синхронізації, алгоритм [P3] поступається по продуктивності алгоритму [P2], але є кращим за [P1].

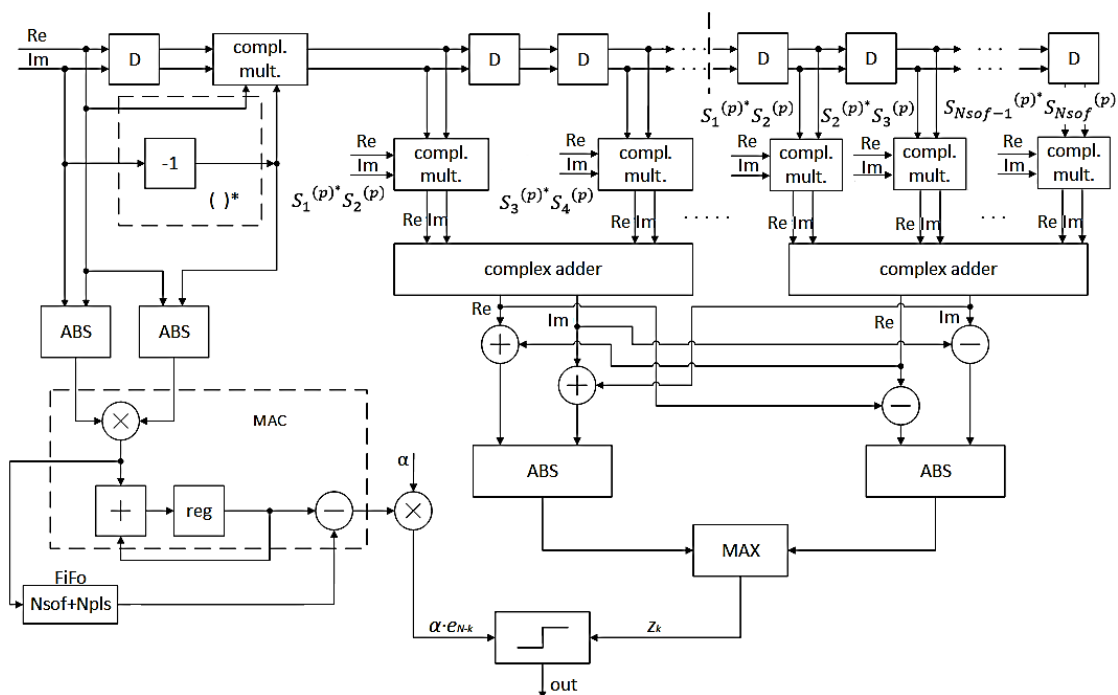


Рис. 5. Структурна схема алгоритму [P3] під реалізацію на FPGA

На рис. 5 приведена структурна схема під реалізацію на FPGA алгоритму [P3]. Основними елементами структури є комплексні помножувачі і суматори, які наявні у вигляді апаратних блоків для кристалів FPGA фірми Altera.

Апроксимуюча функція обчислення модуля комплексного числа, яка реалізована на компараторах і зсувних регістрах, представлена на рис.6.

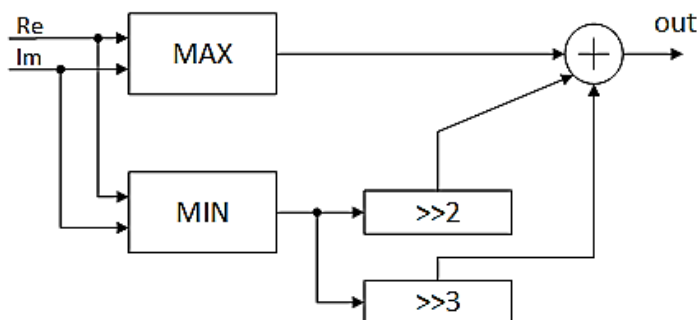


Рис.6. Структура апроксимуючої функції обчислення модулю комплексного числа

### **Висновки**

Запропоновано адаптивний алгоритм фреймової синхронізації, що є інваріантним до зміни рівня вхідного сигналу та дозволяє відмовитися на даній стадії обробки сигналу від системи АРУ.

Результати, які були отримані для сигналу стандарту DVB-S2, показали, що метод [P2] ефективніший за [P1], який розглянутий в рекомендації ETSI [4]. Даний запас по продуктивності алгоритму пропонується на заміну точного математичного розрахунку модуля комплексного числа апроксимуючим методом, імплементація якого легко виконується на логічних елементах кристалу FPGA без втрати швидкодії алгоритму в цілому (рис.6). Це дало змогу розробити практичну схему для реалізації адаптивного алгоритму на FPGA (рис.5).

Слід зазначити, що даний підхід з використанням адаптивного порогу, можна застосувати і до алгоритмів DPDI. Для цього потрібно в першу чергу визначити залежність змінної рішення  $z_k$  від рівня вхідного сигналу для конкретної кількості накопичення. Далі на основі отриманих результатів обчислити центруючий член  $e_{N_k}$ , величина якого буде пропорційною до змінної рішення  $z_k$ .

### **Перелік посилань**

1. Pavlenko M. Optimization of Digital Down Converter (DDC) Parameters for implementation on FPGA / M. Pavlenko // Modern problems of radio engineering, telecommunications, and computer science, Proc. of Int. Conf. TCSET'2014. – Lviv – Slavske, 2014, pp. 89-91.
2. Villanti M. Differential Post Detection Integration Techniques for Robust Code Acquisition / Marco Villanti, Paola Salmi, Giovanni Emanuele Corazza // IEEE transactions on communications. – 2007. – Vol. 55, no 11. – 13p.
3. Lee D. Robust Frame Synchronization for Low Signal-to-Noise Ratio Channels Using Energy-Corrected Differential Correlation / Dong-Uk Lee, Pansoo Kim, Wonjin Sung // EURASIP Journal on Wireless Communications and Networking. – 2009. – 8 p.
4. Digital Video Broadcasting (DVB) User guidelines for the second generation system for Broadcasting, Interactive Services, News Gathering and other broadband satellite applications (DVB-S2) // European Telecommunications Standards Institute (ETSI). – 2005. – Vol. 102 376 V1.1.1. – pp. 73-85.
5. Извлечение квадратного корня из INT [Электронный ресурс]. – Режим доступа: <http://fpgach.blogspot.com/2013/10/int.html>. — Дата доступа: 20.02.15
6. Айфичер Э. Цифровая обработка сигналов : втор. изд. ; пер. с англ. – М. : ООО «Бином-Пресс», 2006. – 656 с.

### **Reference**

1. Pavlenko M. (2014) Optimization of Digital Down Converter (DDC) Parameters for implementation on FPGA. *Modern problems of radio engineering, telecommunications, and computer science, Proc. of Int. Conf. TCSET'2014*, Lviv – Slavske, pp. 89-91.
2. Marco Villanti, Paola Salmi and Giovanni Emanuele Corazza (2007) Differential Post Detection Integration Techniques for Robust Code Acquisition. *IEEE transactions on communications*, vol. 55, no. 11, 13p.



3. Dong-Uk Lee, Pansoo Kim and Wonjin Sung (2009) Robust Frame Synchronization for Low Signal-to-Noise Ratio Channels Using Energy-Corrected Differential Correlation. *EURASIP Journal on Wireless Communications and Networking*. 8p.

4. (2005) Digital Video Broadcasting (DVB) User guidelines for the second generation system for Broadcasting, Interactive Services, News Gathering and other broadband satellite applications (DVB-S2). *European Telecommunications Standards Institute (ETSI)*, Vol. 102 376 V1.1.1, pp. 73-85.

5. Izvlechenie kvadratnogo kornya iz INT [Extracting square root of the INT]. Available at: <http://fpgach.blogspot.com/2013/10/int.html>.

6. Ayficher E. and Jervis B. (2006) Digital Signal Processing: Sec. Ed., Moskow, Bean-Press, 656 p.

*Круглик О. С., Павленко М.П. Адаптивний метод фреймової синхронізації для систем стандарту DVB-S2 на FPGA. У даній статті досліджено сучасні алгоритми фреймової синхронізації для стандарту супутникового зв'язку DVB-S2. Запропоновано алгоритм з адаптивним порогом, який заснований на методі різницевої кореляції. Особливістю даного методу є те, що зі зміною рівня вхідного сигналу поріг для прийняття рішення змінюється адаптивно, що дозволяє відмовитися на даній стадії обробки сигналу від системи АРП. Також були показані практичні шляхи щодо реалізації даного алгоритму на елементній базі FPGA. Зокрема, був використаний апроксимуючий метод для розрахунку модуля комплексного числа, імплементація якого легко виконується на логічних елементах кристала FPGA без втрати швидкодії алгоритму в цілому.*

**Ключові слова:** SDR, FPGA, MDP, DPDI, DVB-S2, різницева кореляція.

*Круглык О. С., Павленко Н. П. Адаптивный метод фреймовой синхронизации для систем стандарта DVB-S2 на FPGA. В данной работе исследованы современные алгоритмы фреймовой синхронизации для стандарта спутниковой связи DVB-S2. Предложен алгоритм с адаптивным порогом, который основан на разностной корреляции. Особенностью данного метода является то, что порог для принятия решения изменяется адаптивно с изменением уровня входного сигнала. Это позволяет избавиться на данной стадии обработки сигнала от применения системы АРУ. В данной работе были показаны практические пути по реализации данного алгоритма на элементной базе FPGA. В частности, был использован аппроксимирующий метод для нахождения модуля комплексного числа, имплементация которого легко выполняется на логических элементах кристалла FPGA без потери быстродействия алгоритма в целом.*

**Ключевые слова:** SDR, FPGA, MDP, DPDI, DVB-S2, разностная корреляция.

*Kruhlyk O. S., Pavlenko M. P. Frame-based synchronization adaptive method for systems based on DVB-S2 standard on FPGA.*

Introduction. With the development of digital technology, increasingly greater attention is paid to building radio-receiving paths based on SDR technology (Software Defined Radio). This technology involves the construction of SoC system on FPGA. Synchronization system is an important part of any radio system. This article analyzes the frame synchronization algorithms used today in terms of their efficiency and practical implementation on FPGA.

Problem Statement. There are many frame synchronization algorithms for communication systems. Algorithms based on differential correlation method are extensively used these days because they are insensitive to phase and frequency distortions. The main disadvantage of the existing methods is their sensitivity to changes in the level of the input signal. Therefore, the

development of the algorithm with an adaptive threshold for implementation on FPGA is an important task.

Frame synchronization algorithm for DVB-S2 standard. This section shows analysis of modern frame synchronization algorithms, which are used in DVB-S2 receivers, and shows characteristics of MDP.

Frame synchronization algorithm with adaptive threshold. Algorithm with adaptive threshold [P2], which is resistant to changes in the level of the input signal, is suggested. Also a comparative analysis of this method and methods listed above is made.

Modification of the algorithm [P2] for implementation on FPGA. This section shows practical ways to implement the adaptive algorithm on FPGA hardware platform. In particular, the approximating method was used to find the location of the complex number modulus, the implementation of which is easily performed on the FPGA chip logic elements without loss of performance of the algorithm as a whole.

Conclusions. Suggested adaptive frame synchronization algorithm eliminates Automatic Gain Control (AGC) system from signal processing phase. This approach of using an adaptive threshold can be used for more sophisticated algorithms, in particular for DPDI. In future works, these tasks will be addressed.

**Keywords:** SDR, FPGA, MDP, DPDI, DVB-S2, Differential correlation.